

Re PCT/PTO 25 JAN 2005

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-161489

(43)Date of publication of application : 20.06.1997

(51)Int.Cl.

G11C 16/06

(21)Application number : 07-321379

(71)Applicant : NEC ENG LTD

(22)Date of filing : 11.12.1995

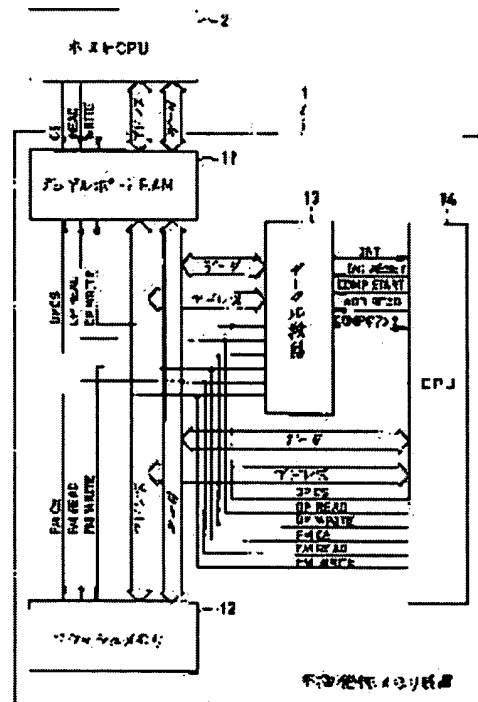
(72)Inventor : ITO MASASHI

## (54) NON-VOLATILE MEMORY DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To improve the reliability and at the same time, achieve a speedy access without causing the reduction in processing speed of an upper device.

SOLUTION: A data comparator 13 compares data stored in a dual-port RAM 11 with data stored in a flash memory 12 successively from a start address to a final address. The data comparator 13 outputs an interrupt signal to a CPU 14 when it detects the non-coincidence of data. The CPU 14 erases the erasure block of the flash memory 12 including an address inputted from the data comparator 13 when an interrupt signal is inputted and reads data within the erasure block range from the dual-port RAM 11 and writes the data into the flash memory 12. When the non-volatile memory device 1 is turned on, the CPU 14 transfers all data of the flash memory 12 to the dual-port RAM 11.



## LEGAL STATUS

[Date of request for examination] 22.05.2000

[Date of sending the examiner's decision of rejection] 27.01.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-161489

(43) 公開日 平成9年(1997)6月20日

(51) Int.Cl.<sup>6</sup>

G 1 1 C 16/06

識別記号

庁内整理番号

F I

G 1 1 C 17/00

技術表示箇所

5 1 0 E

審査請求 未請求 請求項の数3 O L (全7頁)

(21) 出願番号 特願平7-321379

(22) 出願日 平成7年(1995)12月11日

(71) 出願人 000232047

日本電気エンジニアリング株式会社

東京都港区芝浦三丁目18番21号

(72) 発明者 伊藤 昌志

東京都港区芝浦三丁目18番21号 日本電気  
エンジニアリング株式会社内

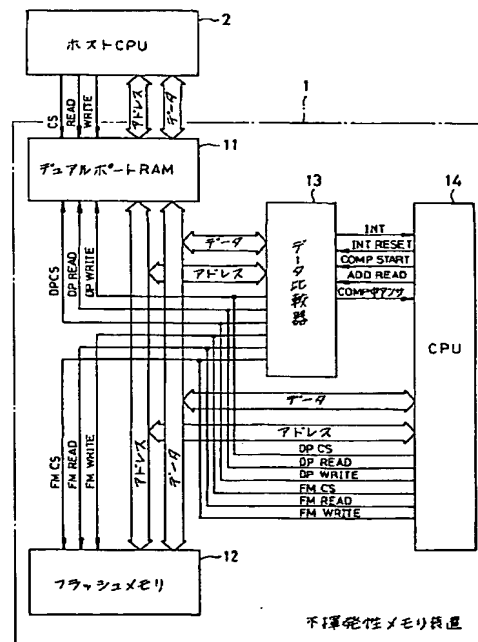
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 不揮発性メモリ装置

(57) 【要約】

【課題】 信頼性を向上させるとともに、上位装置における処理速度の低下を招くことなく、高速にアクセス可能とする。

【解決手段】 データ比較器13はデュアルポートRAM11に記憶されているデータとフラッシュメモリ12に記憶されているデータとを先頭アドレスから最終アドレスまで順次比較する。データ比較器13はその比較でデータの不一致を検出すると、CPU14に対して割込み信号を出力する。CPU14は割込み信号が入力されると、データ比較器13から入力されたアドレスを含むフラッシュメモリ12の消去ブロックを消去し、その消去ブロックの範囲のデータをデュアルポートRAM11から読出してフラッシュメモリ12に書込む。不揮発性メモリ装置1に電源が投入されると、CPU14はフラッシュメモリ12の全データをデュアルポートRAM11に転送する。



## 【特許請求の範囲】

【請求項1】 上位装置からのデータを記憶するフラッシュメモリと、前記フラッシュメモリの容量と同一容量を持ちかつ前記上位装置からのデータを前記フラッシュメモリに記憶する前に一時格納する格納手段と、前記フラッシュメモリに記憶されたデータと前記格納手段に格納されたデータとを比較する比較手段と、前記比較手段で不一致が検出された時にその不一致が検出されたデータが記憶されている前記フラッシュメモリの領域に対する消去処理を行ってから前記格納手段内の対応するデータを前記領域に書き込む手段とを有することを特徴とする不揮発性メモリ装置。

【請求項2】 電源が投入された時に前記フラッシュメモリの内容を前記格納手段に転送する手段を含むことを特徴とする請求項1記載の不揮発性メモリ装置。

【請求項3】 前記格納手段は、複数の入出力ポートを含む書き込み読み出し自在のランダムアクセスメモリからなることを特徴とする請求項1または請求項2記載の不揮発性メモリ装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は不揮発性メモリ装置に関し、特にアナログ音声信号をPCM(Pulse Code Modulation)デジタル信号に変換して記憶するオーディオファイル装置に用いられる不揮発性メモリ装置に関する。

## 【0002】

【従来の技術】従来、この種のオーディオファイル装置においては、アナログ音声信号をA/D(アナログ/デジタル)変換によってPCMデジタル信号に変換し、半導体メモリや磁気ディスク等の記録媒体に蓄積している。

【0003】オーディオファイル装置では記録媒体に蓄積したPCMデジタル信号を読み出し、そのPCMデジタル信号をD/A(デジタル/アナログ)変換することでアナログ音声信号を再生している。このオーディオファイル装置は主にラジオ・テレビ放送で使用するCM(コマーシャル)や番組の記録・再生装置として使用されており、CM等の場合には長期間繰返し使用されるので、記録媒体に対しては高度の信頼性が要求される。

【0004】また、音声信号はデジタル信号化して高速に処理しているため、1台のオーディオファイル装置には同時に処理できるアナログ信号の入出力ポートを有している。

【0005】上記のオーディオファイル装置の記録媒体部分としてはハードディスク装置が用いられているが、ハードディスク装置は機械製品であるので信頼性が低く、MTBF(Mean Time Between Failures: 予測平均故障間隔)も約2年であるため、定期的なオーバーホールが必要となり、ランニング

コストが増大する。

【0006】そのため、音声や映像の記録といったリアルタイムなアクセスが要求される分野では、DRAM(Dynamic Random Access Memory)またはSRAM(Static Random Access Memory)等の高速な半導体メモリが使用されている。また、これらDRAMやSRAMは揮発性メモリであるため、電源が切断された時でもデータを保持するのにバッテリバックアップ等の処置が必要となる。

## 【0007】

【発明が解決しようとする課題】上述した従来のオーディオファイル装置では、記録媒体としてDRAMやSRAM等の高速な半導体メモリが使用されており、電源が切断された時でもデータを保持するためにバッテリバックアップ等の処置がとられている。

【0008】しかしながら、バッテリバックアップ等の処置に用いられるバッテリもMTBFが2年程度なので、ハードディスク装置と同様に定期的にオーバーホールする必要がある。

【0009】DRAMやSRAM等と同様の高速な半導体メモリとしてはフラッシュメモリがあるが、フラッシュメモリに対するデータの書き込みはDRAMやSRAM等におけるデータの書き込みと異なり、データを書き込むべきメモリブロックを消去してからデータを書き込む必要がある。

【0010】したがって、フラッシュメモリを記録媒体として用いた場合にはまずフラッシュメモリに対して消去動作を行わなければならないため、その消去動作が終わるまでメモリブロックへの書き込みを待たなければならない。すなわち、フラッシュメモリを用いると、信頼性が向上し、メンテナンスフリーとなるが、DRAMやSRAMに比べて書き込み時間が遅いので、フラッシュメモリをリアルタイムなアクセスが要求されるオーディオファイル装置に用いることは困難である。

【0011】特開昭62-123521号公報には、フロッピーディスク装置のデータ転送に専用のDMAとバッファメモリとを持つことにより、フロッピーディスク装置のデータを転送中でもバス使用権をDMAに渡す必要がなく、CPU(中央処理装置)が休止することなく、他の処理を実行できるようにした技術がある。

【0012】この技術では、フロッピーディスク装置の制御に対する専用のメモリ直接アクセス装置と、そのメモリ直接アクセス装置からのアドレス及びCPUのアドレスのうちのいずれからでもアクセス可能なバッファメモリと、このバッファメモリとCPUとに接続されたデータバスと、バッファメモリとデータバスとフロッピーディスク装置の制御装置とに接続されたローカルデータバスとを備え、メモリ直接アクセス装置によりローカルデータバスを通じてフロッピーディスク装置とバッファメモリ

10

20

30

40

50

との間でデータ転送を可能としている。

【0013】CPUとフロッピディスク装置との間でデータアクセスを行う場合、フロッピディスク装置がCPUに対してバスリクエストを出してバスを占有し、CPUの動作を止めてからフロッピディスク装置と主メモリとの間でデータアクセスを行った後にバスを解放し、バスを解放してからCPUが主メモリをアクセスするという処理を行っている。

【0014】この処理方法ではデータアクセスを行っている間はCPUの動作ができないため、フロッピディスク装置とのデータアクセスが発生すると、そのシステムの処理速度が低下する。

【0015】その処理速度の低下を防ぐために、フロッピディスク装置とCPUとの間にどちらからでも独立してデータアクセスを行うことができるバッファメモリを備えている。これによって、フロッピディスク装置とバッファメモリとの間でデータアクセスを行っている間もCPUの動作を止めなくてよいため、処理速度の低下を防ぐことができる。

【0016】しかしながら、バッファメモリの容量がフロッピディスク装置の容量に比べて小さいため、バッファメモリとフロッピディスク装置との間のデータアクセスが低速となり、そのデータアクセスが終了するまで中央処理装置の動作が待たされるので、処理速度が低下してしまう。

【0017】また、バッファメモリとフロッピディスク装置との間でデータアクセスを行う場合には、CPUがフロッピディスク装置の制御を行う必要があるため、これが処理速度の低下を招く要因となる。

【0018】そこで、本発明の目的は上記の問題点を解消し、信頼性を向上することができるとともに、上位装置における処理速度の低下を招くことなく、高速にアクセスすることができる不揮発性メモリ装置を提供することにある。

【0019】

【課題を解決するための手段】本発明による不揮発性メモリ装置は、上位装置からのデータを記憶するフラッシュメモリと、前記フラッシュメモリの容量と同一容量を持ちかつ前記上位装置からのデータを前記フラッシュメモリに記憶する前に一時格納する格納手段と、前記フラッシュメモリに記憶されたデータと前記格納手段に格納されたデータとを比較する比較手段と、前記比較手段で不一致が検出された時にその不一致が検出されたデータが記憶されている前記フラッシュメモリの領域に対する消去処理を行ってから前記格納手段内の対応するデータを前記領域に書込む手段とを備えている。

【0020】本発明による不揮発性メモリ装置は、上記の構成のほかに、電源が投入された時に前記フラッシュメモリの内容を前記格納手段に転送する手段を備えている。

【0021】

【発明の実施の形態】まず、本発明の作用について以下に述べる。

【0022】本発明による不揮発性メモリ装置はフラッシュメモリと、フラッシュメモリの容量と同じ容量のデュアルポートRAM(Random Access Memory)と、データ比較器と、CPUとを備えており、ホストCPUが不揮発性メモリ装置にデータを書込む場合、ホストCPUインタフェースであるデュアルポートRAMにデータを書込む。

【0023】デュアルポートRAMにデータが書込まれると、デュアルポートRAMのデータとフラッシュメモリのデータとを比較するデータ比較器はデータの相違を検出する。データ比較器はデータの相違を検出すると、その相違の検出をCPUに割込みを発生して通知する。

【0024】データ比較器からの割込みを受取ったCPUはデータの相違が検出されたアドレスのデータが記憶されているフラッシュメモリのメモリブロックに対する消去処理を行い、データの相違が検出されたアドレスのデュアルポートRAMのデータを消去処理を行ったフラッシュメモリのメモリブロックに書込んでデータの更新を行う。これらの処理動作は不揮発性メモリ装置のCPUがホストCPUからの制御を一切受けずに独立して行う。

【0025】それまで電源が断となっていた不揮発性メモリ装置に電源が投入されると、CPUのイニシャル動作でフラッシュメモリのデータがデュアルポートRAMに転送され、デュアルポートRAMの内容を電源切断前の状態とし、デュアルポートRAMの内容を不揮発性メモリ装置のデータとしてホストCPUに提供する。この動作も、不揮発性メモリ装置のCPUがホストCPUからの制御を一切受けずに独立して行うものである。

【0026】したがって、不揮発性メモリ装置とホストCPUとのインタフェースとしてデュアルポートRAMを用いることで、SRAMと同等のアクセス速度を実現することができる。この場合、フラッシュメモリに対する消去処理及び書込みや読出しを不揮発性メモリ装置内のCPUがデータ比較器からの割込みによって自動的にを行っているため、ホストCPUにおいてオーバーヘッドが全く発生せずにSRAMと同等のアクセス速度を有した不揮発性メモリを実現することができる。

【0027】次に、本発明の一実施例について図面を参照して説明する。図1は本発明の一実施例の構成を示すブロック図である。図において、不揮発性メモリ装置1はデュアルポートRAM11と、フラッシュメモリ12と、データ比較器13と、CPU14とを備えている。

【0028】デュアルポートRAM11はその容量がフラッシュメモリ12の容量と同じ容量となっており、ホストCPU2から通常のRAMと同様に任意にリード／ライトが行われる。

【0029】データ比較器13はCPU14から入力される比較開始 (COMP START) 信号がアクティブになると、比較 (COMP) 中アンサをアクティブにし、デュアルポートRAM11に記憶されているデータとフラッシュメモリ12に記憶されているデータとを先頭アドレスから最終アドレスまで順次比較する動作を行う。

【0030】データ比較器13は上記の比較動作でデータの不一致を検出すると、CPU14に対して割込み (INT: interrupt) 信号をアクティブにすることで通知し、比較動作を一時中断して比較中アンサをインアクティブにする。データ比較器13はCPU14からの比較開始信号が再度アクティブになるまで比較動作を中断したままとなる。

【0031】CPU14はデータ比較器13からの割込み信号がアクティブになり、比較中アンサがインアクティブになると、どのアドレスのデータで不一致が検出されたのかを見るためにアドレスリード (ADD READ) 信号をアクティブとし、データ比較器13からアドレス信号を読出す。

【0032】CPU14はデュアルポートRAM11のデータとフラッシュメモリ12のデータとを一致させるために、フラッシュメモリ12に書込まれているデータを更新する作業を開始する。

【0033】フラッシュメモリ12はデータを書込む前に書込み場所 (メモリブロック) を消去しなければならず、消去の単位は通常数Kワードの単位である。そのため、CPU14はデータ比較器13から入力されたアドレスが含まれるフラッシュメモリ12の数Kワードの消去ブロックを消去する。

【0034】次に、CPU14は消去ブロックの範囲のデータをデュアルポートRAM11から読出し、そのデータをフラッシュメモリ12に書込んで消去ブロック内のデータをデュアルポートRAM11のデータと同一にする。CPU14はフラッシュメモリ12のデータを更新すると、データ比較器13への比較開始信号をアクティブにしてデータ比較動作を再開させる。

【0035】一方、不揮発性メモリ装置1の電源が断となっている状態から電源が投入されて立ち上げられると、CPU14はフラッシュメモリ12の全データをデュアルポートRAM11に転送し、デュアルポートRAM11の内容を電源が切断される前の状態に復旧する。

【0036】図2は図1のデータ比較器13の構成を示すブロック図である。図において、データ比較器13はシーケンサ21と、アドレスカウンタ22と、3ステートバッファ23、24と、データラッチ25、26と、コンパレータ27と、Dフリップフロップ (以下、DF/Fとする) 28、29とから構成されている。

【0037】シーケンサ21はデータ比較器13の動作シーケンスを作り出し、アドレスカウンタ22はデュアル

ポートRAM11及びフラッシュメモリ12へのアドレスを生成する。

【0038】3ステートバッファ23、24はアドレスカウンタ22から出力されるアドレスやデュアルポートRAM11及びフラッシュメモリ12に出力するチップセレクト (CS)、及びリード、ライト信号等の制御信号をバスに出力する。

【0039】データラッチ25、26はデュアルポートRAM11及びフラッシュメモリ12から出力されたデータをラッチし、コンパレータ27はデータラッチ25、26にラッチされたデータを比較する。

【0040】Dフリップフロップ28はコンパレータ27から出力されるデータ不一致信号をラッチし、Dフリップフロップ29はCPU14からデータ比較器13に出力される比較開始信号をラッチする。

【0041】図3は図1のデータ比較器13の動作を示すシーケンスチャートである。これら図1～図3を用いてデータ比較器13の動作について説明する。

【0042】CPU14から入力される比較開始信号がアクティブになると、DF/F29はその比較開始信号をラッチし、CPU14及びシーケンサ21への比較中アンサをアクティブとする。

【0043】シーケンサ21はDF/F29から比較中アンサが入力されると、カウンタリセット (COUNTER RESET) 信号をアドレスカウンタ22に出力し、アドレスカウンタ22から出力されるアドレスを0にする。

【0044】このカウンタリセット信号は前回のアドレスがフラッシュメモリ12の最終アドレスであった場合にのみ出力される。前回のアドレスがフラッシュメモリ12の最終アドレスでなかった場合、シーケンサ21はアドレスカウンタ22にカウントアップ (COUNT UP) 信号を出力する。

【0045】その後、シーケンサ21は3ステートバッファ23へのアウトプットイネーブル (OUTPUT ENABLE) 信号と、デュアルポートチップセレクト (DPCS) 信号と、デュアルポートリード (DREAD) 信号とをアクティブにしてデュアルポートRAM11からアドレス0のデータを読出し、デュアルポートRAM11から読出したデータをデュアルポートラッチトリガ (DPLATCH TRIG) 信号でデータラッチ25にラッチする。

【0046】また、シーケンサ21は3ステートバッファ23へのアウトプットイネーブル信号と、フラッシュメモリチップセレクト (FMCS) 信号と、フラッシュメモリリード (FM READ) 信号とをアクティブにしてフラッシュメモリ12からアドレス0のデータを読出し、フラッシュメモリ12から読出したデータをフラッシュメモリラッチトリガ (FMLATCH TRIG) 信号でデータラッチ26にラッチする。

【0047】シーケンサ21は割込みラッチトリガ（INT LATCH TRIG）信号をDF/F28に出力し、コンパレータ27においてデータラッチ25にラッチされたデュアルポートRAM11からのデータとデータラッチ26にラッチされたフラッシュメモリ12からのデータとを比較した結果であるデータ不一致信号（ $A \neq B$ ）をDF/F28にラッチし、DF/F28からCPU14及びシーケンサ21に割込み信号を出力する。

【0048】コンパレータ27においてデータラッチ25にラッチされたデュアルポートRAM11からのデータとデータラッチ26にラッチされたフラッシュメモリ12からのデータとの一致が検出されると、DF/F28からの割込み信号がインアクティブなので、シーケンサ21はアドレスカウンタ22にカウントアップ信号を出力して処理を続行する。

【0049】一方、コンパレータ27においてデータラッチ25にラッチされたデュアルポートRAM11からのデータとデータラッチ26にラッチされたフラッシュメモリ12からのデータとの不一致が検出されると、DF/F28からの割込み信号がアクティブとなるので、シーケンサ21は比較中リセット（COMP中RESET）信号をDF/F29に出力し、DF/F29からの比較中アンサをインアクティブにする。これ以降、シーケンサ21はCPU14からの比較開始信号が再度アクティブとなるまで動作を中断する。

【0050】DF/F28からの割込み信号がアクティブになると、CPU14はアドレスリード信号をアクティブとし、データ比較器13のアドレスカウンタ22の値を読み出し、コンパレータ27で不一致が検出されたアドレスを知る。

【0051】CPU14はこのアドレスが含まれるフラッシュメモリ12の消去ブロックを算出し、算出した消去ブロックを消去するための消去コマンドをフラッシュメモリ12に対して出力する。

【0052】フラッシュメモリ12において消去ブロックの消去が終了すると、CPU14はその消去ブロックに対応するデュアルポートRAM11のデータを読み出し、そのデータをフラッシュメモリ12に書込んでデュアルポートRAM11のデータとフラッシュメモリ12のデータとを一致させる。

【0053】CPU14はフラッシュメモリ12のデータを更新すると、データ比較器13への比較開始信号を再度アクティブとし、データ比較器13の処理を続行させる。この場合、シーケンサ21はアドレスカウンタ22にカウントアップ信号を出力して処理を続行する。

【0054】このように、デュアルポートRAM11にデータが書込まれた時にデュアルポートRAM11のデータとフラッシュメモリ12のデータとをデータ比較器13で比較し、その比較でデータの相違を検出した時に

ホストCPU2とは独立に動作するCPU14に割込みを発生し、CPU14によりフラッシュメモリ12のメモリブロックに対する消去処理とそのメモリブロックのデータの更新とを行うことによって、SRAMと同等のアクセス速度を実現することができる。

【0055】この場合、フラッシュメモリ12に対する消去処理及び書き込みや読出しを不揮発性メモリ装置1内のCPU14がデータ比較器13からの割込みによって自動的にを行っているので、ホストCPU2においてオーバヘッドが全く発生せずSRAMと同等のアクセス速度を有した不揮発性メモリを実現することができる。

【0056】また、それまで電源が断となっていた不揮発性メモリ装置1に電源が投入されると、CPU14のイニシャル動作でフラッシュメモリ12のデータをデュアルポートRAM11に転送することによって、デュアルポートRAM11の内容を電源切断前の状態とすることができ、デュアルポートRAM11の内容を不揮発性メモリ装置1のデータとしてホストCPU2に提供することができる。

【0057】よって、信頼性を向上するとともに、上位装置（ホストCPU2）における処理速度の低下を招くことなく、不揮発性メモリ装置1を高速にアクセスすることができる。

【0058】

【発明の効果】以上説明したように本発明によれば、上位装置からのデータを記憶するフラッシュメモリの容量と同一容量を持ちかつ上位装置からのデータをフラッシュメモリに記憶する前に一時格納するデュアルポートRAMを設け、フラッシュメモリに記憶されたデータとデュアルポートRAMに格納されたデータとの比較で不一致が検出された時にその不一致が検出されたデータが記憶されているフラッシュメモリの領域に対する消去処理を行ってからデュアルポートRAMの対応するデータをその領域に書込むことによって、信頼性を向上するとともに、上位装置における処理速度の低下を招くことなく、高速にアクセスすることができるという効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示すブロック図である。

【図2】図1のデータ比較器の構成を示すブロック図である。

【図3】図1のデータ比較器の動作を示すシーケンスチャートである。

【符号の説明】

1 不揮発性メモリ装置

2 ホストCPU

11 デュアルポートRAM

12 フラッシュメモリ

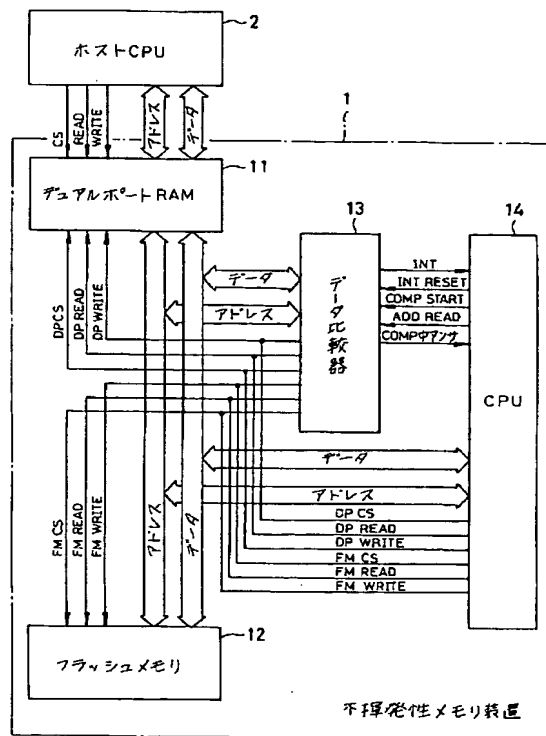
13 データ比較器

- 14 CPU  
21 シーケンサ  
22 アドレスカウンタ  
23, 24 3ステートバッファ

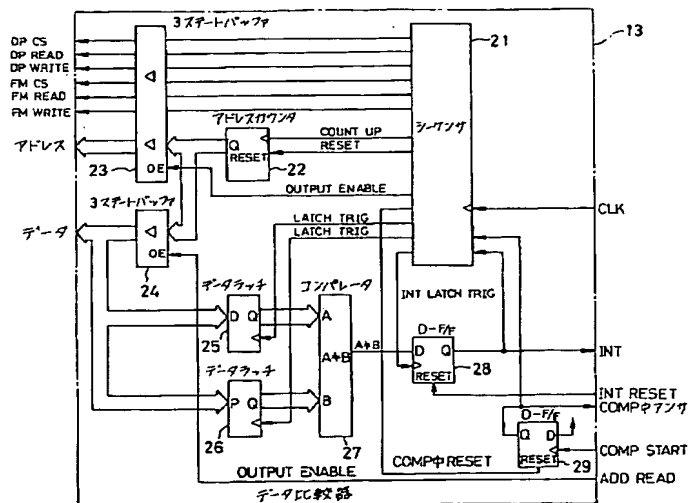
- \* 25, 26 データラッチ  
27 コンパレータ  
28, 29 Dフリップフロップ

\*

【図1】



【図2】



【図3】

